


## Multi channel clock signal recovery circuit

**Patent number:** DE19922807  
**Publication date:** 1999-11-25  
**Inventor:** GAUDET BRIAN (US)  
**Applicant:** NAT SEMICONDUCTOR CORP (US)  
**Classification:**  
- international: H04L7/033; G06F13/00; H04L7/00  
- european: H04L7/033E  
**Application number:** DE19991022807 19990518  
**Priority number(s):** US19980080740 19980518

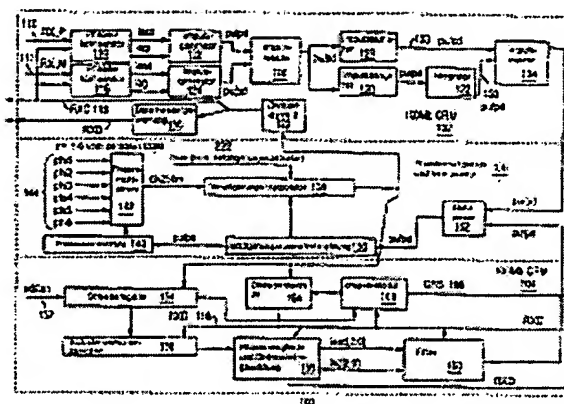
Also published as:

 US 6285726 (B1)

[Report a data error here](#)

### Abstract of DE19922807

The clock signal is decoupled from the data in a data stream generated in local area network communication. The incoming data stream is received by a multi channel clock recovery circuit that has a stage for each channel. This has a clock generator and an N phase multiplexer (142) that delivers a clock signal for each channel. A phase interpolator is used to advance or delay the signals.



Data supplied from the *esp@cenet* database - Worldwide



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

①2 **Offenlegungsschrift**  
①0 **DE 199 22 807 A 1**

⑤1 Int. Cl.<sup>6</sup>:  
**H 04 L 7/033**  
G 06 F 13/00  
H 04 L 7/00

②1 Aktenzeichen: 199 22 807.8  
②2 Anmeldetag: 18. 5. 99  
④3 Offenlegungstag: 25. 11. 99

DE 199 22 807 A 1

③0 Unionspriorität:  
080740 18. 05. 98 US  
  
⑦1 Anmelder:  
National Semiconductor Corp., Santa Clara, Calif.,  
US  
  
⑦4 Vertreter:  
Sparing . Röhl . Henseler, 40237 Düsseldorf

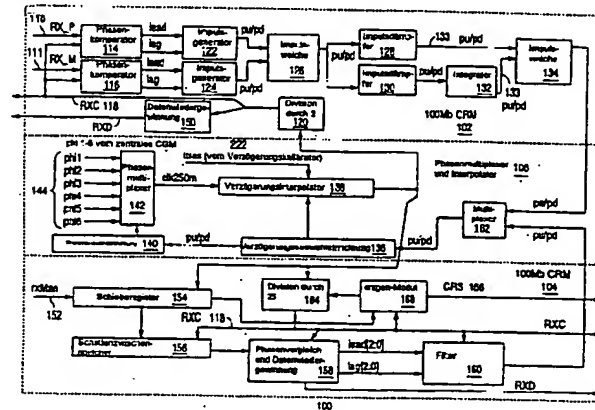
⑦2 Erfinder:  
Gaudet, Brian, San Jose, Calif., US

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Mehrkanal-Taktwiedergewinnungs-Schaltungsanordnung

⑤7 Die Erfindung betrifft eine Mehrkanal-Taktwiedergewinnungs-Schaltungsanordnung zum Wiedergewinnen des Takts und der seriellen Daten aus einem ankommenden Datenstrom (RX\_P, RX\_M) einer Station eines lokalen Netzes. Zum Verbessern der Phasenauflösung wird als ein Bestandteil der Taktwiedergewinnungs-Architektur eine um eine Phasenidentifiziereinrichtung erweiterte Phasenidentifiziereinrichtungs-Architektur verwendet. Um aus einem 250 MHz-Taktsignal von dem Taktgeneratormodul CGM (200) eine von M Phasen für den Taktwiedergewinnungskanal auszuwählen, werden ein einzelnes Taktgeneratormodul (CGM) (200) und N Phasenmultiplexer (142), einer für jeden Taktwiedergewinnungskanal auf dem Chip, verwendet. Um die geforderte Phasenauflösung zu erzeugen, wird ein Phaseninterpolator (138) verwendet. Der Phaseninterpolator (138) wird zum Erzeugen einer Anzahl gleichmäßig beabstandeter Verzögerungsschritte zwischen den Gesamtphasenschritten des Phasenmultiplexers verwendet. Jeder Phasenmultiplexer (142) wird in Abhängigkeit von den Aufpump-Signalen (pumpup-Signalen) oder Abpump-Signalen (pumpdn-Signalen) von jedem Taktwiedergewinnungskanal (CRM) (102, 104) vorgerückt oder verzögert.



DE 199 22 807 A 1

Die Erfindung betrifft eine Mehrkanal-Taktwiedergewinnungs-Schaltungsanordnung nach dem Oberbegriff des Anspruchs 1.

- 5 Die Erfindung ist auf lokale Netze und insbesondere auf eine Taktwiedergewinnungs-Architektur auf der Grundlage von DLL-gereichten Phaseninterpolatoren, die sowohl für 10 MB- als auch für 100 MB-Datenströme verwendet werden können, gerichtet. Gegenüber Wiedergewinnungsarchitekturen, die getrennte Taktwiedergewinnungskanäle verwenden, schafft die Verwendung einer gemeinsamen Taktwiedergewinnungs-Architektur für beide Datenraten sowohl Einsparungen bezüglich des Leistungsverbrauchs als auch bezüglich der Fläche.

- 10 In einem lokalen Netz (LAN) wird ein Taktwiedergewinnungsschema zum Auskoppeln eines Taktsignals aus den zwischen den Stationen über das Netz übertragenen Daten verwendet. Das wiedergewonnene Taktsignal wird dann zum Synchronisieren der an den ankommenden Daten ausgeführten Operationen, z. B. zum Abtasten und zum Decodieren der Daten, verwendet.

- Fig. 4 zeigt die primären Funktionskomponenten einer sendenden Station 11 und einer empfangenden Station 13 eines LANs 10, die während des Sendens und Empfangens der Daten an der Taktwiedergewinnungsfunktion beteiligt sind. Wie in Fig. 4 gezeigt ist, liefert die MAC-Schicht (Medienzugriffs-Steuerungsschicht) 12 der sendenden Station (oder des sendenden Knotens) 11 die Daten an die PHY-Schicht (Bitübertragungsschicht) 14. Die PHY-Schicht 14 codiert die Daten unter Verwendung eines herkömmlichen 4B/5B-Protokolls, serialisiert sie und verwirft dann den Datenstrom.

- Obleich die 4B/5B-Codierung wenigstens einen Übergang pro 5 Bits sicherstellt, verringert das Verwirfeln des Datenstroms die Übergangsdichte in der Weise, daß dabei sogar 60 aufeinanderfolgende Einsen oder Nullen auftreten können. Der zum Steuern des Abtastens der Daten verwendete Phasenregelkreis (PLL) muß somit in Abwesenheit von Übergängen in dem ankommenden Datenstrom die (zum Steuern der Einstellung des spannungsgesteuerten Oszillators als Bestandteil des Kreises verwendete) Frequenzdifferenz zwischen der sendenden Station 11 und der empfangenden Station 13 verfolgen können. Somit ist eine Schleifenübertragungsfunktion 2. Ordnung für eine spannungsgesteuerte Oszillatorschleife (VCO-Schleife) oder für eine frequenzgesteuerte Oszillatorschleife (FCO-Schleife) (Phasenfehler, Frequenzeinstellung) oder eine Schleifenübertragungsfunktion 1. Ordnung für ein Phasenfehler/Phaseneinstellungs-Steuersystem erforderlich.

- Wie in Fig. 4 gezeigt ist, werden die verwirfelten Daten mit 125 MB/s an die TP-PMD 16 übergeben. Die TP-PMD 16 codiert dann die Daten unter Verwendung der MLT3-Codierung und steuert das verdrehte Leitungspaar 18 an, das das Übertragungsmedium für die Daten bildet. Die MLT3-Codierung nimmt die binär codierte Nachricht auf und steuert die Leitung unter Verwendung dreier Ausgangsniveaus in der Weise an, daß die spektrale Leistungsdichte bei hohen Frequenzen weniger Energie enthält.

- An dem empfangenden Ende des verdrehten Leitungspaares 18 führt die TP-PMD 20 der empfangenden Station 13 eine adaptive Entzerrung des ankommenden Datenstroms (um die Wirkungen des Kanals auf das Signal zu minimieren) sowie die MLT3-Decodierung aus und übergibt das binäre 125 MB/s-Signal an die PHY-Schicht 22 des Empfängers. Die empfangende Seite der PHY-Schicht 22 muß aus diesem Datenstrom einen 125 MHz-Takt wiedergewinnen, diesen Takt zum Abtasten der Daten verwenden, die Daten entwirfeln, die 4B/5B in tetradenbreite Daten umsetzen und für die MAC-Schicht 24 der empfangenden Station 13 einen tetradenbreiten Datenstrom mit einem Takt von 25 MHz bereitstellen.

- 40 Typischerweise haben die Stationen (oder Knoten) eines solchen Netzes TP-PMDs und PHYs, die sowohl bei Datenraten von 10 MHz als auch von 100 MHz arbeiten können. Die Lösungen des Standes der Technik verwenden sowohl für die 10 MHz- als auch für die 100 MHz-Datenrate einen getrennten Taktwiedergewinnungskanal. Dies erfordert eine gewisse Verdopplung der Architektur sowohl im funktionalen als auch im strukturellen Sinn mit dem Ergebnis, daß zusätzliche Oberfläche und zusätzliche Leistung verbraucht werden.

- 45 Die von der TP-PMD 20 übergebenen Daten besitzen ein 1,3 ns-p-p-(Spitze-Spitze)-DCD-Zittern (Austastzyklusverzerrungs-Zittern), ein 2,0 ns-Spitze-Spitze-DDJ-Zittern (datenabhängiges Zittern) sowie ein Gaußsches 2,7 ns-Spitze-Spitze-Zittern. Somit verbleibt von dem 8 ns-Fenster ein 2 ns-zitterfreies Segment. Die Taktwiedergewinnungsschaltung muß das Zittern ignorieren und nur die Frequenzdifferenz zwischen der sendenden Station 11 und der empfangenden Station 13 verfolgen können. Durch das Anpassen des Verfolgungsverhaltens der Taktwiedergewinnungsschaltung an die Phasendifferenz zwischen den Signalen kann die Frequenz, mit der die empfangende Station 13 das übertragene Signal abtastet, mit der Frequenz und der Phase, mit denen das Signal ursprünglich gesendet wurde, synchronisiert werden. Die maximale Frequenzdifferenz zwischen den Stationen beträgt  $100 \cdot 10^{-6}$ , so daß eine schmalbandige Phasenregelschleife (PLL) ausreicht. Wie angemerkt wurde, muß die PLL diese Frequenzdifferenz auch in Abwesenheit von Übergängen in dem ankommenden Datenstrom, der sogar 60 aufeinanderfolgende Einsen oder Nullen enthalten kann, verfolgen können. Die 10 BT-Zitter-Spezifikation erfordert das Wiedergewinnen des Takts und der Daten aus einem Datenstrom mit einem festen 36 ns-Spitze-Spitze-Zittern, mit einem zufälligen 36 ns-Spitze-Spitze-Zittern oder mit irgendeiner, bis zu 36 ns-Spitze-Spitze betragenden Kombination des festen und zufälligen Zitterns. (Das 10 MB-Spitze-Spitze-Zitterfenster beträgt 50 ns; somit verwendet das Zittern 36 ns von diesen 50 ns, so daß ein Fenster von 14 ns bleibt.)

- Ein typischer Mischsignalzugang (Zweikanalzugang) zur Taktwiedergewinnung verwendet für jeden Kanal eine digitale Dreizustands-Frequenz/Phasen-Auswerteschaltung, eine Ladungspumpe, ein Schleifenfilter, einen spannungsgesteuerten Oszillator (VCO) sowie eine Division-durch-N-Schaltung.

- Fig. 5 zeigt die primären Funktionskomponenten einer Taktwiedergewinnungsschaltung 50 mit einer Phasenregelschleife auf der Grundlage eines VCO, die für jeden Kanal einer Zweikanal-Taktwiedergewinnungsschaltung verwendet werden kann. Die Eingangssignale in den Phasen/Frequenz-Komparator 52 sind der in Fig. 5 mit "rx\_data" bezeichnete Datenstrom 54 und ein mit "RXC" bezeichnetes wiedergewonnenes Taktsignal, das ein von dem VCO 56 ausgegebenes Steuersignal darstellt. Das wiedergewonnene Taktsignal RXC wird zum Abtasten des ankommenden Datenstroms rx\_data verwendet, wobei es durch die Wirkung der gezeigten Rückkopplungsschleife 50 mit dem ankommenden Datenstrom in Phasensynchronisation gebracht wird. Der Frequenz/Phasen-Fehler zwischen den zwei Eingängen in den Kom-

parator 52 erzeugt einen impulsbreitenmodulierten Aufpumpstrom (pumpup-Strom) und Abpumpstrom (pumpdn-Strom), die der Ladungspumpe 58 als Eingangssignale zugeführt werden. Die Ladungspumpe 58 erhöht die Ladung, wenn der pumpup-Impuls hoch ist, während sie die Ladung verringert, wenn der pumpdn-Impuls hoch ist. Die Ausgangsspannung der Ladungspumpe 58 wird durch ein Schleifenfilter 60 gefiltert und typischerweise in eine (nicht gezeigte) Pegelübersetzungs- und Anstiegsumkehrschaltung eingegeben, die die Vorspannung des VCO 56 steuert. Das Ausgangssignal des VCO 56 wird der (nicht gezeigten) Division-durch-N-Schaltung als ein Eingangssignal zugeführt. Das Ausgangssignal der Division-durch-N-Schaltung ist das RXC-Eingangssignal in den Phasenkomparator 52.

Fig. 6 zeigt das zur Verwendung als das Schleifenfilter 60 nach Fig. 2 der Taktwiedergewinnungsschaltung 50 geeignete analoge Gegenstück eines optimalen Schleifenfilters 70. Für eine Taktwiedergewinnungsschaltung, die so beschaffen ist, daß sie zwar eine Frequenzdifferenz verfolgt, das in dem Eingangssignal vorhandene Rauschen aber zurückweist, ist das Filter 70 optimal. Dieser Filtertyp führt zu einer Schleifenübertragungsfunktion 2. Ordnung für die Phasenvergleichs/Frequenzeinstellungs-Schleifen und zu einer Schleifenübertragungsfunktion 1. Ordnung für die Phasenvergleichs/Phaseneinstellungs-Schleifen (Phasenidentifiziereinrichtung). Der Integrator 72 des Schleifenfilters 70 erzeugt eine hohe Gleichstromverstärkung, was bedeutet, daß das Filter zeitlich langsam veränderliche Phasenänderungen mit einem geringen Fehler verfolgen kann. Wenn der Widerstand 74 und der Widerstand 76 in der Weise ausgewählt werden, daß sie eine geringe Proportionalverstärkung ergeben, verfolgt das Filter keine zeitlich schnell veränderlichen Phasenänderungen. Da eine geringe Frequenzdifferenz zwischen den Stationen einer langsamen Phasenänderung  $d\Phi/dt$  (wobei  $\Phi$  die Phase des Signals ist) entspricht und das in dem Eingangssignal vorhandene Rauschen ein schnelles  $d\Phi/dt$  hat, arbeitet das Filter 70 gut für eine schmalbandige (kleines  $\Delta f$ ) Taktwiedergewinnung.

Jedoch stößt die Verwendung der in den Fig. 5 und 6 gezeigten Schaltung auf mehrere Probleme. Zu diesen zählen folgende: (1) Die Verstärkung der Schleife 50 hängt von der PVT ab; (2) die 3-Zustands-Phasen/Frequenz-Auswerteschaltung 52 synchronisiert nur auf die steigenden Flanke des Eingangssignals und kann somit nicht auf die Mitte einer Zweimoden-Zitter-Verteilung synchronisieren; (3) das Schleifenfilter 60 nimmt eine beträchtliche Siliciumoberfläche ein und schrumpft nicht mit der charakteristischen Größe; und (4) mehrere VCOs auf einem einzelnen Substrat können zum Einspeisen des Takts eines VCOs in einen anderen führen.

Ein weiterer Zugang zur Taktwiedergewinnung besteht in der Verwendung eines frequenzgesteuerten Oszillators (FCO), einer Ladungspumpe und eines digitalen Schleifenfilters. Dieser Zugang verwendet eine Phasenauswerteschaltung, die auf die Mitte einer Zweimoden-Zitter-Verteilung synchronisieren kann, verwendet aber weiter eine Ladungspumpe. Das digitale Schleifenfilter erzeugt einen impulsdichtemodulierten Impulsstrom für den FCO, wobei die Impulsdichte die Frequenz des FCO moduliert. Dieser Zugang besitzt folgende Nachteile: (1) Die Verstärkung hängt weiter vom PVT ab und (2) im Vergleich zu einem vollständig digitalen Zugang ist die Siliciumoberfläche immer noch groß.

Ein weiterer Zugang zur Taktwiedergewinnung besteht in der Verwendung einer Phasenidentifiziereinrichtungs-Architektur. Fig. 7 zeigt die primären Funktionskomponenten einer Taktwiedergewinnungsschaltung 80 mit einer Phasenregelschleife auf der Grundlage einer für beide Kanäle einer Zweikanal-Taktwiedergewinnungsschaltung verwendbaren Phasenidentifiziereinrichtung. Eine Phasenidentifiziereinrichtung realisiert zum Bestimmen des Phasenfehlers zwischen den Eingangssignalen des Komparators eine Taktwiedergewinnungsschleife unter Verwendung eines Phasenkomparators 82, wobei das Ausgangssignal des Phasenkomparators unter Verwendung eines Phasenmultiplexers 84 direkt eine neue Phase des wiedergewonnenen Taktsignals auswählt. Die Eingangssignale in den Phasenmultiplexer 84 sind die N Phasen des von einem (nicht gezeigten) Taktgeneratormodul erzeugten Signals RXC 86. Die von dem Phasenkomparator 82 ausgegebenen Signale steuern den Betrieb des Phasenmultiplexers 84 in der Weise, daß er eine der N Phasen des Signals RXC auswählt.

Die Eingangssignale in den Phasenkomparator 82 sind der in Fig. 7 mit "rx\_data" bezeichnete ankommende Datenstrom 54 und ein mit "RXC" bezeichnetes Signal, das die von dem Phasenmultiplexer 84 ausgewählte Taktphase ist. Wie zuvor wird das RXC-Signal zum Steuern des Abtastens der Daten verwendet, wobei es unter der Wirkung der gezeigten Rückkopplungsschleife 80 in Phasensynchronisation mit den Daten gebracht wird.

Eine Einschränkung der Phasenidentifiziereinrichtungs-Architektur besteht darin, daß der Betrag der Dämpfung der Proportionalsteuerung durch die Phasenschrittauflösung des Phasenmultiplexers begrenzt ist. Falls die Auflösung z. B. 1 ns beträgt, würde ein voreilender Phasenfehler (RXC eilt den Eingangsdaten voraus) die Phase immer durch Verzögern von RXC um wenigstens 1 ns einstellen.

Eine weitere Einschränkung solcher Taktwiedergewinnungsschaltungen besteht darin, daß die Architektur lediglich eine Proportionalsteuerung ermöglicht; es gibt keine Möglichkeit, eine Integralsteuerung hinzuzufügen. Da die Integralsteuerung zum Erhalten einer hohen Gleichstromverstärkung und somit eines guten Verfolgungsverhaltens wünschenswert ist, stellt dies einen Nachteil dar.

Schließlich besteht ein weiterer Zugang zur Taktwiedergewinnung in der Verwendung einer vollständig digitalen Signalverarbeitungslösung (DSP-Lösung). Dies erfordert das Abtasten wenigstens mit der Nyquist-Rate und den Ablauf des vollständigen DSP-Algorithmus mit dieser Rate. Somit ist dieser Zugang sehr leistungintensiv.

Aufgabe der Erfindung ist es, eine Mehrkanal-Taktwiedergewinnungs-Schaltungsanordnung nach dem Oberbegriff des Anspruchs 1 zum Wiedergewinnen eines Taktsignals aus einem übertragenen Datenstrom unter Verwendung eines einzelnen Taktwiedergewinnungskanals, der sowohl mit einer Datenrate von 10 MB/s als auch mit einer Datenrate von 100 MB/s arbeiten kann, zu schaffen.

Diese Aufgabe wird entsprechend dem kennzeichnenden Teil des Anspruchs 1 gelöst.

Die Erfindung ist auf eine Taktwiedergewinnungs-Architektur zum Wiedergewinnen eines Taktsignals und serieller Daten aus einem von einem Knoten eines lokalen Netzes gelieferten ankommenden Datenstrom gerichtet. Um die Phasenauflösung zu verbessern, wird als Teil der Taktwiedergewinnungs-Architektur eine um einen Phaseninterpolator erweiterte Phasenidentifiziereinrichtungs-Architektur verwendet. Um für jeden Taktwiedergewinnungskanal eine von M Phasen eines 250 MHz-Taktsignals aus dem CGM auszuwählen, werden ein einzelnes Taktgeneratormodul (CGM) und N Phasenmultiplexer, einer für jeden Taktwiedergewinnungskanal auf einem Chip, verwendet. Um die erforderliche Phasenauflösung zu erzeugen, können entweder gekoppelte spannungsgesteuerte Oszillatoren oder ein Phaseninterpolator

verwendet werden. Der Phaseninterpolator erzeugt mit einem geringeren Leistungsverbrauch eine bessere Phasenauf-  
 Lösung und ist somit der zweckmäßige Zugang. Der Phaseninterpolator wird dazu verwendet, zwischen den Gesamtpha-  
 senschritten des Phasenmultiplexers eine Anzahl gleichmäßig beabstandeter Verzögerungsschritte zu erzeugen. Jeder  
 Phasenmultiplexer wird in Abhängigkeit von den Aufpump-Signalen (pumpup-Signalen) oder Abpump-Signalen  
 (pumpdn-Signalen) von jedem Taktwiedergewinnungskanal (CRM) vorgerückt oder verzögert.

Der Phaseninterpolator und der Phasenmultiplexer für jeden Empfangskanal werden von einem digitalen 100 MB-  
 CRM und von einem digitalen 10 MB-CRM gemeinsam genutzt. Wenn ein Port in dem 10 MB-Modus ist, liefert der 10  
 MB-CRM die pumpup- und pumpdn-Impulse für den Phaseninterpolator, während der 100 MB-CRM ausgeschaltet ist.  
 Wenn ein Port in dem 100 MB-Modus ist, liefert der 100 MB-CRM die pumpup- und pumpdn-Impulse für den Phasen-  
 interpolator, während der 10 MB-CRM abgeschaltet ist.

Diese Phasenidentifiziereinrichtungs-Architektur der Erfindung unterscheidet sich von den bekannten Phasenidenti-  
 fiziereinrichtungen dadurch, daß sie eine digitale Realisierung eines optimalen Schleifenfilters enthält. Da diese Realisie-  
 rung kein auf der digitalen Signalverarbeitung beruhendes Verfahren ist, erfordert sie somit keine Abtastung mit der Ny-  
 quist-Rate. Das verwendete Integralsteuerelement ist einfach und ermöglicht das Verfolgen der Takte der Stationen in Zeit-  
 räumen mit einer geringen Datenübergangsdichte. Wie angemerkt wurde, wird zum Teilen eines gegebenen Phasen-  
 schritts in eine Anzahl (in diesem Fall acht) gleicher Phasenschritte (anstelle der gekoppelten VCOs zum Erhalten der er-  
 forderlichen Phasenauflösung) ein Phaseninterpolator verwendet. Die vollständig digitale Architektur schafft eine PVT-  
 unabhängige Leistung. Der Leistungsverbrauch ist gering (8 mW/CRM), während die für einen 0,35 µm-3,3 V-Prozeß  
 benötigte Oberfläche ( $6,25 \cdot 10^2 \text{ mm}^2$ ) gering ist.

Die Ein-CGM-Mehr-CRM-Architektur ergibt den geringsten Leistungsverbrauch und die geringste Fläche für Mehr-  
 portanwendungen. Das einzelne CGM kann zum Erzeugen von sechs Taktphasen für mehrere 10 BT- und 100 BT-CRMs  
 verwendet werden. Fast die gesamte Taktwiedergewinnungsschleife läuft mit der ankommenden Datenrate, die im  
 Durchschnitt 30 MHz für 100 BT beträgt. Dies führt zu einem wesentlich geringeren Leistungsverbrauch als bei den  
 Schaltungen des Standes der Technik.

Weitere Ausgestaltungen der Erfindung sind der nachfolgenden Beschreibung zu entnehmen.

Die Erfindung wird nachstehend anhand eines in den beigefügten Abbildungen dargestellten Ausführungsbeispiels nä-  
 her erläutert.

Fig. 1 ist ein ausführlicher Blockschaltplan, der eine Taktwiedergewinnungsschaltung zeigt.

Fig. 2 ist ein Blockschaltplan, der ein zum Erzeugen der Phasen des 250 MHz-Signals für den Phasenmultiplexer der  
 Schaltung nach Fig. 1 verwendetes zentrales Taktgeneratormodul (CGM) zeigt.

Fig. 3 ist ein Blockschaltplan, der den zum Erzeugen der Vorspannungssignale für den Verzögerungsinterpolator der  
 Schaltung nach Fig. 1 verwendeten Verzögerungsinterpolatorkalibrator zeigt.

Fig. 4 ist ein Blockschaltplan einer bekannten Taktwiedergewinnungsschaltung, der die Funktionskomponenten der  
 während des Sendens und des Empfangens der Daten in die Taktwiedergewinnungsfunktion einbezogenen sendenden  
 und empfangenden Station eines LANs zeigt.

Fig. 5 ist ein Blockschaltplan einer bekannten Taktwiedergewinnungsschaltung, der die primären Funktionskompo-  
 nenten einer für jeden Kanal einer Zweikanal-Taktwiedergewinnungsschaltung verwendbaren Taktwiedergewinnungs-  
 schaltung mit einer Phasenregelschleife auf der Grundlage eines VCO zeigt.

Fig. 6 ist ein Stromlaufplan einer bekannten Taktwiedergewinnungsschaltung, der das analoge Gegenstück eines zur  
 Verwendung als das Schleifenfilter der Taktwiedergewinnungsschaltung nach Fig. 5 geeigneten optimalen Schleifenfil-  
 ters zeigt.

Fig. 7 ist ein Blockschaltplan einer bekannten Taktwiedergewinnungsschaltung, der die primären Funktionselemente  
 einer für jeden Kanal einer Zweikanal-Taktwiedergewinnungsschaltung verwendbaren Taktwiedergewinnungsschaltung  
 mit einer Phasenregelschleife auf der Grundlage einer Phasenidentifiziereinrichtung zeigt.

Die Taktgeneratormodul/Taktwiedergewinnungsmodul-Architektur (CGM/CRM-Architektur) ist für einen geringen  
 Flächenbedarf und einen geringen Leistungsverbrauch für eine 100 MB-Bitübertragungsschicht eines lokalen Netzes an-  
 gelegt. Hierbei wird die Integration einer Anzahl von Bitübertragungsschicht-Ports in Wiederholeinrichtungen und Ver-  
 mittlungsstellen ermöglicht. Die Architektur verwendet einen Phaseninterpolator. Dies ermöglicht die Erzeugung belie-  
 big kleiner Verzögerungen zwischen den Phasen in den gekoppelten VCOs, was die Verwendung einer digitalen Phase-  
 nidentifiziereinrichtungs-Taktwiedergewinnungs-Architektur zur Wiedergewinnung der 100 MB- oder sogar 1000 MB-  
 Daten ermöglicht. Das CGM und das CRM können zur Taktwiedergewinnung sowohl für 100 MB-, als auch für 10 MB-  
 Datenraten verwendet werden. Dies spart signifikant Strom und verringert die erforderliche Fläche. Unter anderem er-  
 möglicht dies die Integration von PHY-Zellen in eine ASIC (anwendungsspezifische integrierte Schaltung). Die Verwen-  
 dung eines Phaseninterpolators ermöglicht die Konstruktion eines CRMs mit einem Leistungsverbrauch und mit einem  
 Flächenbedarf, die um eine Größenordnung unter denen der derzeitigen Architekturen liegen.

Die Architektur genügt den folgenden Anforderungen: (1) Der Leistungsverbrauch ist so gering, daß er den Bau eines  
 quadratischen 10/100-phy/xvr ohne Wärmeverteiler ermöglicht; (2) um die Integration der phy-Ports in Wiederholein-  
 richtungen und Vermittlungsstellen zu ermöglichen, sind die Fläche/der Leistungsverbrauch so stark wie möglich opti-  
 miert; (3) 3 Volt-Betrieb; (4) ein primär digitaler Entwurf, um ein leichtes Portieren auf neue Prozesse zu ermöglichen;  
 und (5) Einhalten der TP-PMD-Zitter-Spezifikation.

Gemäß Fig. 1 wird eine Phasenidentifiziereinrichtungs-Taktwiedergewinnungs-Architektur verwendet, die die in Fig.  
 1 mit "RXC" bezeichnete Phase des wiedergewonnenen Takts in Abhängigkeit von einem von der Phasenauswerteschal-  
 tung erfaßten gefilterten Phasenfehler einstellt. Die Phasenauswerteschaltung (oder der Phasenkomparator) vergleicht  
 die Phase des wiedergewonnenen Takts mit den in Fig. 1 mit "RX\_P" oder "RX\_M", bezeichneten ankommenden Daten.  
 Die Taktsignalphase wird dadurch eingestellt, daß aus N unter Verwendung eines N:1-Phasenmultiplexers und eines Sek-  
 undärtakt-Multiplexers, der unter Verwendung des Phaseninterpolators eine weitere Phasenauflösung erzeugt, von ei-  
 nem Taktgeneratormodul gelieferten verfügbaren Phasen eine andere Phase ausgewählt wird. Für Vergleichszwecke wird  
 angemerkt, daß eine Phasenidentifiziereinrichtungs-Taktwiedergewinnungsschleife einer gegebenen Größenordnung im

wesentlichen die gleiche Reaktion wie eine Taktwiedergewinnungsschleife auf der Grundlage eines um eine Größenordnung größeren VCOs zeigt.

Um für jeden Taktwiedergewinnungskanal das Auswählen einer von M Phasen eines 250 MHz-Takts von dem CGM zu ermöglichen, werden ein einzelnes CGM und N Phasenmultiplexer, einer für jeden Taktwiedergewinnungskanal auf dem Chip, verwendet. Um die geforderte Phasenauflösung zu erzeugen, wird der Phaseninterpolator zum Erzeugen einer Anzahl gleichmäßig beabstandeter Verzögerungsschritte zwischen den Gesamtphasenschritten des Phasenmultiplexers verwendet. Diese Verbesserung ist erforderlich, um der 100 MB-Ethernet-Zitter-Spezifikation zu entsprechen. Jeder Taktwiedergewinnungskanal besteht aus einem einzelnen 10 MB-CRM und aus einem einzelnen 100 MB-CRM. Jedes CRM ist vollständig digital und verwendet eine Architektur, die den Leistungsverbrauch und die Anzahl der Gatter minimiert.

Der Phaseninterpolator und der Phasenmultiplexer für jeden Empfangskanal werden von einem digitalen 100 MB-CRM und von einem digitalen 10 MB-CRM gemeinsam genutzt. Wenn ein Port in dem 10 MB-Modus ist, liefert das 10 MB-CRM die pumpup- und pumpdn-Impulse an den Phaseninterpolator, während das 100 MB-CRM ausgeschaltet ist. Wenn ein Port in dem 100 MB-Modus ist, liefert das 100 MB-CRM die pumpup- und pumpdn-Impulse an den Phaseninterpolator, während das 10 MB-CRM abgeschaltet ist.

Die Ausführungsform nach Fig. 1 umfaßt drei primäre Funktionsmodule: ein 100 MB-Datenraten-Taktwiedergewinnungsmodul 102, ein 10 MB-Datenraten-Taktwiedergewinnungsmodul 104 und ein gemeinsam genutztes Phasenmultiplexer- und -interpolatormodul 106. Das 100 MB-Datenraten-Modul 102 kann weiter in die Funktionseinheiten eines Phasenkomparatorblocks, eines Schleifenfilterblocks und eines Datenwiedergewinnungsblocks unterteilt werden.

#### Das 100 MB-Taktwiedergewinnungsmodul (CRM)

Weiter mit Bezug auf Fig. 1 wird der Eintakt-Dateneingang RX\_P 110 durch einen (nicht gezeigten) MLT3-Decoder hoch aktiviert, wenn die NRZ-Daten eins sind. Der Eintakt-Eingang RX\_M 111 wird durch den MLT3-Decodierer hoch aktiviert, wenn die NRZ-Daten null sind. Die Phasenkomparatoren 114 und 116 bestehen jeweils aus einem besonderen Flipflop mit einem symmetrischen Einstell/Halte-Fenster von  $\pm 50$  ps. Der Dateneingang RX\_P 110 für den Phasenkomparator 114 der steigenden Flanke und der Dateneingang RX\_M 111 für den Phasenkomparator 116 der fallenden Flanke takten das Flop. Das Dateneingangssignal in die Flops in den Phasenkomparatoren 114 und 116 ist das Signal RXC 118, das Ausgangssignal des Taktteilers 120. Falls das Signal RXC 118 den Daten voreilt, wird auf der steigenden Flanke der Daten eine Eins ausgegeben. Falls das Signal RXC 118 den Daten nacheilt, wird auf der steigenden Flanke der Daten eine Null ausgegeben. Diese Anordnung erzeugt einen Messerschneiden-Phasenkomparator, der den Phasenfehler in einen Einbit-Binärwert quantisiert. Da der DCD-Anteil des Zitteretats ein kleiner Anteil (22%) des gesamten Zitteretats ist, ist dies ausreichend. Es kann gezeigt werden, daß dieser Phasenkomparatortyp auf die Mitte der Zweimodenverteilung synchronisiert, solange zusammen mit der DCD RJ- und DDJ-Komponenten vorhanden sind. Somit sind die 22% des DCD-Zitterns kein Problem. Die Phasenkomparatoren 114 und 116 aktivieren das Signal lead, falls das Signal RXC 118 den Daten voreilt, während sie das Signal lag aktivieren, falls das Signal RXC 118 den Daten nacheilt. Dies bewirkt, daß das Taktsignal mit den Daten phasengleich gemacht wird.

Die von den Phasenkomparatoren 114 und 116 ausgegebenen Signale lead und lag werden in die Impulsgeneratoren 122 bzw. 124 eingegeben, von denen jeder auf jeder Flanke der Daten, bei der das Signal RXC den Daten nacheilt, einen mit dem Signal RXC 118 synchronisierten Aufpumpimpuls (pumpup-Impuls) und auf jeder Flanke der Daten, bei der das Signal RXC den Daten voreilt, einen mit dem Signal RXC 118 synchronisierten Abpumpimpuls (pumpdn-Impuls) erzeugt. Die von den Impulsgeneratoren 122 und 124 erzeugten Impulsströme werden aufbereitet und zur Steuerung des Betriebs des Phasenmultiplexers und -interpolators verwendet, der den Betrag der auf den Datenstrom zum Synchronisieren mit dem Taktsignal angewendeten Verzögerung oder Phasendifferenz bestimmt.

Der pumpup- und der pumpdn-Impulszug von den Impulsgeneratoren 122 und 124 für die steigende Flanke und für die fallende Flanke werden in die Impulsweiche 126 eingegeben, die auf dem pumpup- und auf dem pumpdn-Strom eine logische ODER-Operation ausführt. Dies erzeugt einen einzigen vereinigten pumpup- und pumpdn-Strom. Obgleich schließlich ein einzelner Strom verwendet wird, verfolgen die getrennten Phasenkomparatoren und Impulsgeneratoren für die steigende und fallende Flanke zwei Ziele: (1) Sie helfen beim Synchronisieren auf die Mitte der Zweimoden-Zitter-Verteilungen und (2) sie erzeugen die Phasenfehlerinformationen doppelt so oft wie ein Einphasenkomparator, der nur eine Flanke des Signals betrachten würde.

Die Proportionalsteuerung für die Phasenfehlerkorrektur wird dadurch erzeugt, daß der pumpup- und pumpdn-Strom über einen Impulsstromdämpfer 128 geleitet werden, der jeden N. Impuls, wobei N gleich  $at_{en\_p}$ , dem gewünschten Betrag der Dämpfung der Proportionalsteuerung, ist, aus dem Impulsstrom herausmaskiert. Dieser Parameter kann in einem Register der Vorrichtung programmiert werden.

Die Integralsteuerung für die Phasenfehlerkorrektur wird dadurch geschaffen, daß der pumpup- und pumpdn-Impulsstrom von der Impulsweiche 126 in den Impulsstromdämpfer 130 geleitet wird, der jeden N. Impuls, wobei N gleich  $at_{en\_i}$ , dem gewünschten Betrag der Dämpfung für den Eingang des Integrators, ist, herausmaskiert. Dieser Parameter kann ebenfalls über ein Register der Vorrichtung programmiert werden.

Das Ausgangssignal des Impulsstromdämpfers 130 wird in den Integrator 132 eingegeben. Der Integrator 132 ist ein Auf/Ab-Zähler, der bei gesetztem Richtungsflop bei einem pumpup-Impuls inkrementiert und bei einem pumpdn-Impuls dekrementiert. Andernfalls dekrementiert er bei einem pumpup-Impuls, während er bei einem pumpdn-Impuls inkrementiert. Da die pumpup- und pumpdn-Impulsdichte proportional zum Phasenfehler sind, ist der Zählungswert proportional zur Vorgeschichte des Phasenfehlers zwischen den Signalen der Sende- und der Empfangsstation. Falls der Zähler größer als null und das Richtungsflop gesetzt ist, wird alle N RXCs ein pumpup-Impuls erzeugt, wobei N umgekehrt proportional zur Zählung ist. Falls der Zähler größer als null und das Richtungsflop null ist, wird alle N RXCs ein pumpdn-Impuls erzeugt, wobei N wiederum umgekehrt proportional zur Zählung ist. Bei Abwesenheit von pumpup- und pumpdn-Impulsen von den Proportionalzählern, was bei einer langen Folge von Nullen oder Einsen im ankommenden

Datenstrom der Fall sein kann, kompensieren die pumpup/dn-Signale 133 von dem Integrator 132 weiter die Differenz von 10-6 zwischen der Frequenz der sendenden und der empfangenden Station. Das Richtungsflap wird gesetzt, wenn ein pumpup-Impuls auftritt und die Zählung null ist, während es zurückgesetzt wird, wenn ein pumpdn-Impuls auftritt und die Zählung null ist.

- 5 Die Tiefe des Integrators 132, d. h. die Anzahl der Bits in dem Auf/Ab- und RX-Zähler, bestimmt die Grenzen und die Granularität der Integralsteuerung. Der Minimalbetrag der Integralsteuerung tritt auf, wenn der Auf/Ab-Zähler null ist und von dem Integrator 132 alle N Takte entweder ein pumpup- oder ein pumpdn-Ausgangsimpuls erzeugt wird, wobei  $N = 2^M$  und M die Integratortiefe ist. Da ein tieferer Integrator länger zum Synchronisieren benötigt, beeinflusst die Integratortiefe außerdem die Synchronisationszeit. Die tatsächliche Synchronisationszeit ist eine Funktion sowohl der Integratortiefe als auch der Dämpfung der Proportionalsteuerung.

- 10 Das in dem 100 MB-Datenraten-Taktwiedergewinnungsmodul 102 enthaltene Digitalfilter realisiert in der Rückkopplungsschleife die gleiche Steuerung wie das in Fig. 6 gezeigte optimale Analogfilter. Außerdem führt es die Schleifenfilterfunktion in einer leistungs- und flächeneffizienteren Weise als Standardlösungen der digitalen Signalverarbeitung aus. Die untenstehende Tabelle I zeigt z. B. die Filterkomponenten und ihre Betriebsfrequenzen.

15

Tabelle I

Block	Betriebsfrequenz
Impulsgeneratoren	125 MHz
20 Impulsdämpfer	30 MHz (Durchschnitt)
Integrator-RXC-Zähler	125 MHz
Integrator-Auf/Ab-Zähler	30 MHz (Durchschnitt)

- 25 Zum Vergleich müßten die Daten bei einer DSP-Lösung mit einer Rate von 125 MHz abgetastet werden und der DSP-Algorithmus mit der gleichen Rate ablaufen. Da die DSP-Verfahren eine Anzahl von Multiplikationen erfordern, wäre die Anzahl der Gatter für eine solche Realisierung wesentlich höher, was eine entsprechende Erhöhung des Stromverbrauchs und der Fläche zur Folge hätte.

- 30 Der pumpup- und pumpdn-Impulsstrom 133 von dem Integrator 132 und von dem Impulsdämpfer 128 werden in der Impulsstromweiche 134 vereinigt, um einen durch die Proportionalverstärkung und durch die Vorgeschichte des Phasenfehlers gedämpften pumpup- und pumpdn-Strom mit einer zum Phasenfehler proportionalen Impulsdichte zu erzeugen.

- Der pumpup- und pumpdn-Impulsstrom wird wie folgt zum Modifizieren des von der Verzögerungsauswahleinrichtung 136 ausgegebenen 6 Bit-Steuerworts verwendet. Das 6 Bit-Steuerwort enthält immer genau ein Bit, das auf "1" gesetzt ist, während alle anderen Bits auf 0 gesetzt sind. Jeder pumpup-Impuls bewirkt, daß das Steuerwort die "1" um eine Stelle nach links verschiebt. Falls die Verzögerungsauswahleinrichtung 136 z. B. 01000 enthält, führen 2 pumpup-Impulse zu einem Wert von 00010; wobei von hier aus 3 pumpdn-Impulse zu einem Wert von 10000 führen.

- 35 Der Wert der Verzögerungsauswahleinrichtung 136 dient der Auswahl einer der 6 verzögerten Versionen des Ausgangssignals des Phasenmultiplexers 142, deren Verzögerungen sich jeweils um 55 ps unterscheiden. Die folgende Tabelle zeigt das Steuerwort und die zugeordneten Verzögerungen und Steuerströme von einem (unten ausführlicher beschriebenen) Phaseninterpolator-Eichblock.

	Steuerwort	für die ausgewählte variable Verzögerung verwendeter Strom	Verzögerung
45	6'h100000	IdlyX5 [n]	konstante Verzögerung + 275 ps
50	6'h010000	IdlyX4 [n]	konstante Verzögerung + 220 ps
	6'h001000	IdlyX3 [n]	konstante Verzögerung + 165 ps
55	6'h000100	IdlyX2 [n]	konstante Verzögerung + 110 ps
60	6'h000010	IdlyX1 [n]	konstante Verzögerung + 55 ps
65	6'h000001	IdlyX0 [n]	konstante Verzögerung + 000 ps

Wenn die Verzögerungsauswahleinrichtung 136 000001 enthält und ein pumpup-Impuls empfangen wird, wird die Verzögerungsauswahleinrichtung 136 auf 100000 verschoben, wobei ein pumpup-Impuls an das Phasenauswahleinrichtungs-Schieberegister 140 gesendet wird. Dies bewirkt, daß der Phasenmultiplexer 142 eine gegenüber der momentanen



Phase um 333 ps vorgerückte Phase auswählt. Falls die momentane Phase z. B. phi4 ist, würde der Phasenmultiplexer 142 phi3 auswählen. Da die Verzögerungsauswahleinrichtung 136 gleichzeitig damit auf 100000 verschoben wird, daß der Phasenmultiplexer 142 die Phase um 333 ps vorrückt, ist das Gesamtergebnis ein Vorrücken der Phase um 55 ps, was das gleiche ist, wie wenn die Verzögerungsauswahleinrichtung 136 einen pumpup-Impuls empfangen hätte, während der Wert der Verzögerungsauswahleinrichtung 136 010000 (oder ein anderer von 000001 verschiedener Wert) war, was bewirkt, daß die Verzögerungsauswahleinrichtung 136 auf 001000 verschoben wird. Wenn die Verzögerungsauswahleinrichtung 136 100000 enthält und ein pumpdn-Impuls empfangen wird, wird die Verzögerungsauswahleinrichtung 136 auf 000001 verschoben, während ein pumpdn-Impuls an die Phasenauswahleinrichtung 140 gesendet wird. Dies bewirkt, daß der Phasenmultiplexer 142 eine um 333 ps gegenüber der momentanen Phase verzögerte Phase auswählt. Falls die momentane Phase z. B. phi3 ist, würde der Phasenmultiplexer 142 phi4 auswählen. Da die Verzögerungsauswahleinrichtung 136 gleichzeitig damit auf 000001 verschoben wird, daß der Phasemultiplexer 142 die Phase um 333 ps verzögert, besteht das Gesamtergebnis darin, daß die Phase um 55 ps verzögert wird, was dasselbe ist, wie wenn die Verzögerungsauswahleinrichtung 136 einen pumpdn-Impuls empfangen hätte, während der Wert der Verzögerungsauswahleinrichtung 136 0010000 (oder ein anderer von 100000 verschiedener Wert) war, was bewirkt, daß die Verzögerungsauswahleinrichtung 136 auf 010000 verschoben wird.

Die Phasenauswahleinrichtung 140 ist ein doppelgerichtetes Schieberegister, in dem 1 Bit immer gesetzt ist; dieses Bit und QZ werden zum Einschalten eines der Übertragungsgatter in dem Phasenmultiplexer 142 verwendet. Die Verzögerungsauswahleinrichtung 136 ist ebenfalls ein doppelgerichtetes Schieberegister, in dem 1 Bit immer gesetzt ist; das Q und das QZ dieses Bits werden zum Einschalten eines der Übertragungsgatter in dem Multiplexer in dem Verzögerungsinterpolator 138 verwendet. Der Multiplexer in dem Verzögerungsinterpolator 138 kann als ein Feinabstimmungs-Phasenschieber angesehen werden, während der Phasenmultiplexer 142 als ein Grobabstimmungs-Phasenschieber angesehen werden kann.

Die folgende Tabelle gibt Beispiele, die die Werte des Phasen-Grob- und -Feinabstimmers bei ständig fortschreitender Phase in Abhängigkeit von pumpup-Signalen zeigen:

Verzögerungs- auswahl- einrichtung	Phasenauswahl- einrichtung	Phasengrob- einstellung von der letzten Phase	Phasenfein- einstellung von der letzten Phase	Gesamt- ein- stellung von der letzten Phase
6'b001000	12'b00001000000	n. v.	n. v.	n. v.
6'b000100	12'b00001000000	0	-55 ps	-55 ps
6'b000010	12'b00001000000	0	-55 ps	-55 ps
6'b000001	12'b00001000000	0	-55 ps	-55 ps
6'b100000	12'b00000100000	-333 ps	+275 ps	-55 ps
6'b010000	12'b00000100000	0	-55 ps	-55 ps

#### Das 10 MB-Taktwiedergewinnungsmodul (CRM)

Weiter mit Bezug auf Fig. 1 wird das Signal RxMan (Manchester-codierte Daten) 152, das Ausgangssignal des 10 BT-Rauschsperrkomparators, von dem 250 MHz-Taktsignal, dessen von dem Verzögerungsinterpolator 138 ausgegebene ausgewählte Phase sich in einem 20stufigen Schieberegister 154 befindet, abgetastet. Auf der steigenden Flanke des Signals RXC 118, dem wiedergewonnenen 10 MHz-Takt, wird der Inhalt des Schieberegisters 154 in einen Schattenzwischenspeicher 156 geladen. Der Schattenzwischenspeicher 156 ermöglicht, den abgetasteten Inhalt des Schieberegisters 154 während 100 ns, bis zur nächsten Flanke von RXC 118, zu halten. Währenddessen wird der Inhalt des Schattenzwischenspeichers 156 von dem Phasenvergleichs- und Datenwiedergewinnungsblock 158 untersucht. In Abhängigkeit von den empfangenen Daten und von dem Betrag des Zitterns können in dem Schattenzwischenspeicher 156 bis zu drei Übergänge erfaßt werden. Der Phasenvergleichs- und Datenwiedergewinnungsblock 158 wählt den Übergang, der der Mitte des 20stufigen Schattenzwischenspeichers 156 am nächsten liegt, als den wahren Bitmittens-Übergang aus, wobei er z. B. den folgenden Algorithmus verwendet:

pc\_latched ist der Schattenzwischenspeicher.



```

    assign lead9x = pc_latched[0] ^ pc_latched[1];
    assign lead8x = pc_latched[1] ^ pc_latched[2];
5   assign lead7x = pc_latched[2] ^ pc_latched[3];
    assign lead6x = pc_latched[3] ^ pc_latched[4];
    assign lead5x = pc_latched[4] ^ pc_latched[5];
    assign lead4x = pc_latched[5] ^ pc_latched[6];
10  assign lead3x = pc_latched[6] ^ pc_latched[7];
    assign lead2x = pc_latched[7] ^ pc_latched[8];
    assign lead1x = pc_latched[8] ^ pc_latched[9];
    assign onx = pc_latched[9] ^ pc_latched[10];
15  assign lag1x = pc_latched[10] ^ pc_latched[11];
    assign lag2x = pc_latched[11] ^ pc_latched[12];
    assign lag3x = pc_latched[12] ^ pc_latched[13];
    assign lag4x = pc_latched[13] ^ pc_latched[14];
    assign lag5x = pc_latched[14] ^ pc_latched[15];
20  assign lag6x = pc_latched[15] ^ pc_latched[16];
    assign lag7x = pc_latched[16] ^ pc_latched[17];
    assign lag8x = pc_latched[17] ^ pc_latched[18];
    assign lag9x = pc_latched[18] ^ pc_latched[19];
25

```

Am Schluß dieses Algorithmus enthält das Register "pe" (Phasenfehler) die Stelle des wahren Bitmitten-Übergangs in bezug auf das Signal RXC 118 (wobei das onx ohne Zittern und bei synchronisiertem PLL der einzige Übergang sein sollte). Sein Wert wird z. B. durch den folgenden Algorithmus bestimmt:

30

35

40

45

50

55

60

65

```

reg [18:0] pe;
always@(lag1x or lag2x or lag3x or lag4x or
lag5x or lag6x or lag7x or
lag8x or lag9x or lead1x or lead2x or
lead3x or lead4x or lead5x or
lead6x or lead7x or lead8x or lead9x or
onx)

```

```

    if(onx)
        pe <= #10 19'b00000000001000000000;
    else if(lead1x)
        pe <= #10 19'b00000000000100000000;
    else if(lag1x)
        pe <= #10 19'b00000000001000000000;
    else if(lead2x)
        pe <= #10 19'b00000000000100000000;

    else if(lag2x)
        pe <= #10 19'b00000000100000000000;
    else if(lead3x)
        pe <= #10 19'b00000000000001000000;
    else if(lag3x)
        pe <= #10 19'b00000001000000000000;
    else if(lead4x)
        pe <= #10 19'b00000000000000010000;
    else if(lag4x)
        pe <= #10 19'b00000010000000000000;
    else if(lead5x)
        pe <= #10 19'b00000000000000001000;
    else if(lag5x)
        pe <= #10 19'b00000100000000000000;
    else if(lead6x)
        pe <= #10 19'b00000000000000000100;
    else if(lag6x)
        pe <= #10 19'b00001000000000000000;
    else if(lead7x)
        pe <= #10 19'b00000000000000000010;
    else if(lag7x)
        pe <= #10 19'b00010000000000000000;
    else if(lead8x)
        pe <= #10 19'b00000000000000000001;
    else if(lag8x)
        pe <= #10 19'b01000000000000000000;
    else if(lead9x)
        pe <= #10 19'b000000000000000000001;
    else if(lag9x)
        pe <= #10 19'b10000000000000000000;
    else
        pe <= #10 19'b00000000001000000000;

```

Die wiedergewonnenen Daten sind der Wert des Schattenzwischenspeichers 156 rechts von dem wahren Bitmitten-Übergang:

```

assign rxd_tmp = |(phasecomp[18:0] & pe);

//*****
5 // convert the magnitude of the leading
  phase_error to a 3 bit number
  //

10 reg [2:0] lead_error;
  always@(pe)
    case ({pe[0] | pe[1] | pe[2] | pe[3] |
pe[4] , pe[5],pe[6],pe[7],pe[8]})
15 //synopsys full_case parallel_case
      5'b00000 : lead_error <= #10 3'b000;

      5'b00001 : lead_error <= #10 3'b001;
      5'b00010 : lead_error <= #10 3'b010;
20      5'b00100 : lead_error <= #10 3'b011;
      5'b01000 : lead_error <= #10 3'b100;
      5'b10000 : lead_error <= #10 3'b101;
    endcase

25

//*****
// convert the magnitude of the lagging
30 phase_error to a 3 bit number
  //

  reg [2:0] lag_error;
  always@(pe)
35   case ({|pe[18:14],pe[13:10]})
    //synopsys full_case parallel_case
      5'b00000 : lag_error <= #10 3'b000;
      5'b00001 : lag_error <= #10 3'b001;
40      5'b00010 : lag_error <= #10 3'b010;
      5'b00100 : lag_error <= #10 3'b011;
      5'b01000 : lag_error <= #10 3'b100;
      5'b10000 : lag_error <= #10 3'b101;
45   endcase

```

Unter Verwendung der obigen Algorithmen oder seiner Entsprechungen werden durch die nächste steigende Flanke des Signals RXC 118 sowohl der Betrag des Phasenfehlers als auch die wiedergewonnenen Daten bestimmt.

Die von dem Phasenvergleichs- und Datenwiedergewinnungsblock 158 ausgegebenen Vektoren lead\_error[2:0] und lag\_error[2:0] werden in das Digitalfilter 160 eingegeben. Das Digitalfilter 160 verwendet einen lead-Zähler, um die Vektoren lead\_error bis zum Erreichen einer programmierbaren Schwelle, bei der der Zähler zurückgesetzt und ein pumpdn-Impuls ausgegeben wird, auf jeder Flanke von RXC 118 fortwährend zu einer Summe hinzuzufügen. Ein lag-Zähler wird dazu verwendet, um die Vektoren lag\_error bis zum Erreichen einer programmierbaren Schwelle, bei der der Zähler zurückgesetzt und ein pumpup-Impuls ausgegeben wird, auf jeder Flanke von RXC 118 fortwährend zu einer Summe hinzuzufügen. Die Schwelle wird dazu verwendet, den für die Schleife verwendeten Betrag der Proportionaldämpfung zu bestimmen. Infolge der hohen Übergangsdichte der Manchester-Daten ist keine Integralsteuerung erforderlich.

Da das 10 MB- und das 100 MB-CRM den gleichen Phasenmultiplexer und -interpolator gemeinsam nutzen, kann wegen der für 100 MB erforderlichen Auflösung der Phasenfeineinstellung ein potentielles Problem auftreten. Das Problem besteht darin, daß die Verstärkung selbst mit der minimal programmierten Schwelle nicht hoch genug ist, um das Verfolgen einer Frequenzdifferenz von  $200 \cdot 10^{-6}$  zwischen den Endstationen zu ermöglichen. Die Phasenfeineinstellung bewirkt, daß sie nur ein kleines  $d\Phi/dt$  (wobei  $\Phi$  die Phase ist) zuläßt, was (da die Frequenz die Änderungsrate der Phase ist) die verfolgbare Frequenzänderung beschränkt. Dieses Problem wird dadurch korrigiert, daß für jeden (auf einen 10 MHz-Takt synchronisierten) von dem Filter ausgegebenen Pumpimpuls acht auf einen 125 MHz-Takt synchronisierte Pumpimpulse erzeugt werden. Dies erhöht die Verstärkung so sehr, daß der Takt von der fernen Station verfolgt werden kann. Der schnelle pumpup/pumpdn-Impulsstrom wird an den Multiplexer 162 gesendet, der, wenn er im 10 MB-Modus ist, diese Impulse den Phasenmultiplexer 142 und den Verzögerungsinterpolator 138 betreiben läßt.

Der Division-durch-25-Block (div25) 164 nimmt den von dem Verzögerungsinterpolator 138 ausgegebenen

250 MHz-Takt und teilt ihn auf 10 MHz herunter, wobei er das Signal RXC 118 erzeugt. Außerdem teilt er ihn durch 2 herunter, um den zum Erhöhen der Schleifenverstärkung verwendeten 125 MHz-Takt zu erzeugen. Das Signal RXC 118 wird zum Takten des Schattenzwischenspeichers 156 und des Filters 160 verwendet. Der Division-durch-25-Zähler 164 wird auf der von dem crsge-Modul 168 zugeführten steigenden Flanke des CRS 166 zurückgesetzt. Dies schafft eine schnelle Phaseeinstellung, die das Signal RXC 118 innerhalb von 4 ns auf den ersten während der Präambel erfaßten Bitmitten-Übergang synchronisiert. Dies gibt eine für bestimmte Anwendungen nützliche sehr schnelle Synchronisationszeit.

Der crsge-Block 168 enthält einen Zähler, der bei jedem Erfassen eines Übergangs in den Bits 9 und 10 des Ausgangssignals des Schieberegisters 154 zurückgesetzt wird. Wenn der Zähler abläuft, wird ein Zeitüberschreitungsimpuls an eine einfache Zustandsmaschine gesendet, die das CRS 166 bei jedem Erfassen eines Übergangs setzt und bei jedem Aktivieren des Zeitüberschreitungssignals zurücksetzt. Dies ermöglicht die Erzeugung einer Anzeige eines Trägers, der die wiedergewonnenen Daten RXD, ohne daß Bit-Tropfen erzeugt würden, einrahmt.

Da die Größe des Phasenfehlers zu den Filterzählern hinzugefügt wird und die pumpup/pumpdn-Impulsdichte proportional zum Phasenfehler ist, quantisiert die Schleife den Phasenfehler schließlich mit einer Auflösung von 4 ns, der Abtastauflösung in dem Schieberegister 154. Dies ermöglicht das Synchronisieren auf die Mitte einer Zweimoden-Zitter-Verteilung von bis zu 40 ns-Spitze-Spitze, was ausreichend ist, um der Spezifikation der IEEE 802.3 von 36 ns-Spitze-Spitze zu genügen. Die effektive Phaseeinstellungsauflösung von 667 ps ergibt eine theoretische Toleranz für eine Gaußsche Zitter-Verteilung von 48,6 ns. Außerdem wird angemerkt, daß sich die Zittertoleranz während einer langen Folge von Daten 010101 verdoppelt, da der Phasenkomparator einen 80 ns-Schnitt von Abtastwerten betrachtet und den wahrscheinlichsten Bitmitten-Übergang auswählen kann.

Fig. 2 ist ein Blockschaltplan, der das zum Erzeugen der Phasen des 250 MHz-Taktsignals 144 für den Phasenmultiplexer 142 der Schaltung nach Fig. 1 verwendete zentrale Taktgeneratormodul (CGM) 200 zeigt. Das CGM 200 ist in Form eines dreistufigen differenzspannungsgesteuerten Oszillators mit einem Signal REFCLK 202 (dem Referenztakt) als ein Eingangssignal realisiert.

Fig. 3 ist ein Blockschaltplan, der den zum Erzeugen der Vorspannungssignale für den Verzögerungsinterpolator 138 der Schaltung nach Fig. 1 verwendeten Verzögerungsinterpolator Kalibrator 220 zeigt. Wie in Fig. 3 gezeigt ist, sind die Signale phi1 und phi2, zwei der sechs verschiedenen von dem CGM 200 erzeugten Phasentaktsignale 144, die Eingangssignale in den Verzögerungsinterpolator Kalibrator 220. Die Ausgangssignale des Verzögerungsinterpolator Kalibrators 220 sind N Vorspannungsströme 222, wobei einer der N Vorspannungsströme als ein Eingangssignal an jeden der N Verzögerungsinterpolatoren eingegeben wird, wobei ein solcher Interpolator für jeden der N Kanäle verwendet wird.

Der vorliegende Taktwiedergewinnungszugang unterscheidet sich von den Lösungen des Standes der Technik in bezug auf das Verfahren zum Bestimmen des Phasenfehlers und zum Wiedergewinnen der Daten. Die Lösungen des Standes der Technik tasten den Manchester-Datenstrom zum Wiedergewinnen der Daten typischerweise 25 ns nach der steigenden Flanke von RXC ab. Die Lösungen des Standes der Technik würden unter Verwendung der nichtmaskierten Übergänge zum Bestimmen des Phasenfehlers ein 50 ns langes Maskierungssignal liefern, das zum Herausmaskieren von Nicht-Bitmitten-Übergängen gegenüber der steigenden Flanke des Signals RXC um 25 ns verzögert wäre.

Der Zugang beruht auf der Wahl des wahrscheinlichsten Bitmitten-Übergangs durch einen bezüglich der Logik effizienten Algorithmus, der den am nächsten an der steigenden Flanke von RXC gelegenen Übergang findet. Sobald dieser gefunden ist, werden die Daten dadurch wiedergewonnen, daß der Abtastwert rechts vom Bitmitten-Übergang als die wiedergewonnenen Daten (in den Figuren mit "RXD" bezeichnet) verwendet wird. Es wird der Phasenfehler zwischen dem wahrscheinlichsten Bitmitten-Übergang und der steigenden Flanke von RXC berechnet. Im Fall äußerster Zweimoden-Zitter-Verteilungen, bei denen die Maske möglicherweise mit dem Herausmaskieren tatsächlicher Bitmittenübergänge oder mit dem Nichtherausmaskieren von Nicht-Bitmittenübergängen beginnt, schafft dies eine wesentlich bessere Funktion. Da der Algorithmus Daten mit einem äußersten Zittern selbst dann noch decodieren kann, wenn das Signal RXC von der idealen Synchronisation anweicht, ist die Datenwiedergewinnung robust. Ein weiterer Vorteil der Erfindung besteht darin, daß sich die Zittertoleranz während abwechselnder Nullen und Einsen verdoppelt, da es keine Nicht-Bitmitten-Übergänge gibt und dieser Zugang sie nicht zu maskieren versucht.

Es ergibt sich eine vollständig digitale Architektur, die eine PVT-unabhängige Funktion schafft. Für einen 0,35 µm-3,3 V-Prozeß ist der Leistungsbedarf gering (8 mW/CRM) und die Fläche klein ( $6,25 \cdot 10^{-2} \text{ mm}^2$ ). Zum Vergleich benötigen die Zugänge des Standes der Technik unter Verwendung des gleichen Prozesses typischerweise eine Leistung von 60 mW, wobei sie eine Fläche von etwa  $62,5 \cdot 10^{-2} \text{ mm}^2$  erfordern.

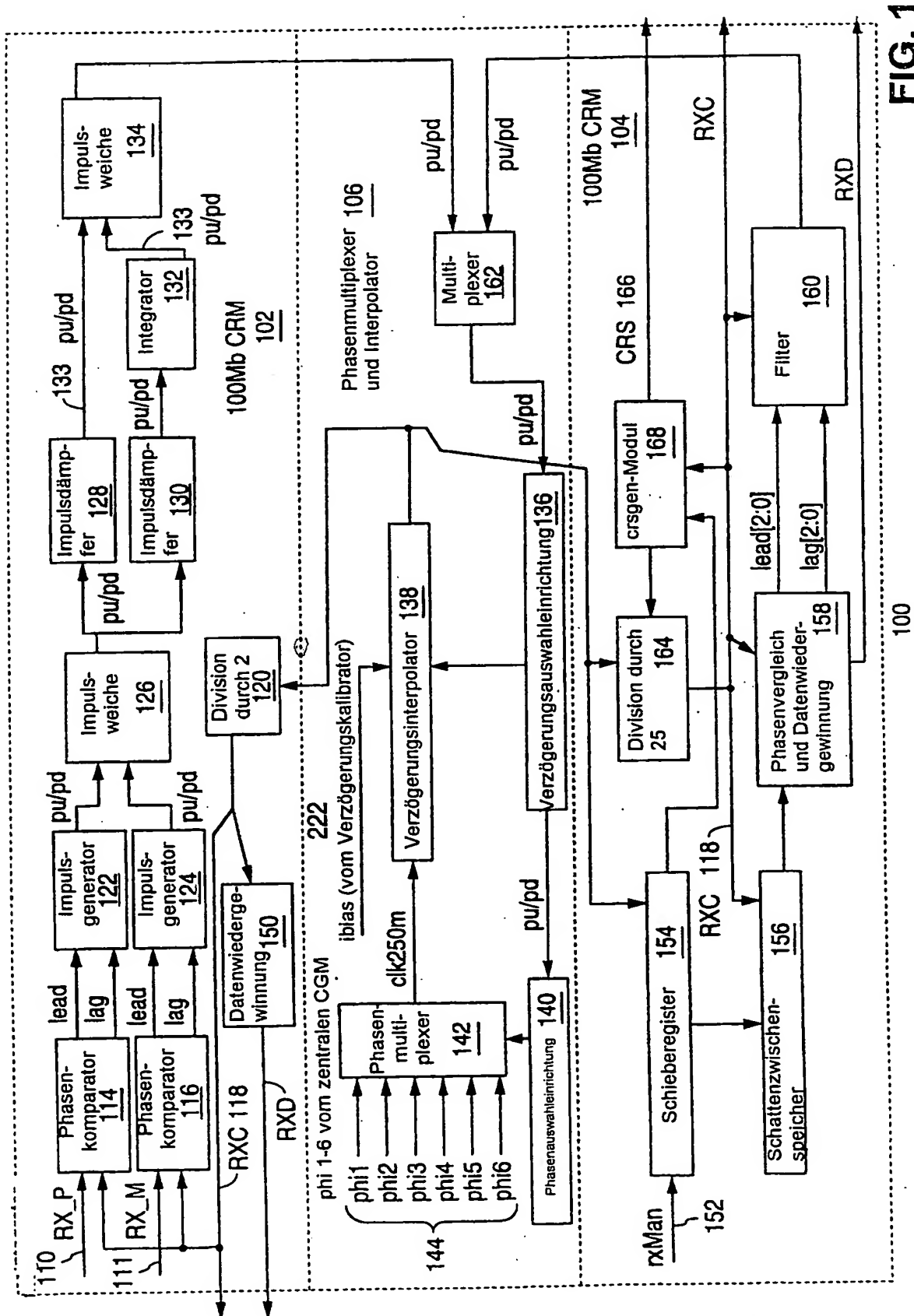
Wichtig ist, daß die Ein-CGM-Mehr-CRM-Architektur den geringsten Leistungsbedarf und Flächenbedarf für Mehrportanwendungen ergibt. Das (im Vergleich zu einem CRM sehr große) einzelne CGM kann zum Erzeugen von 6 Taktphasen für mehrere 10 BT- und 100 BT-CRMs verwendet werden. Jeder Phasenmultiplexer/interpolator wird von einem 10 MB-CRM und von einem 100 MB-CRM gemeinsam genutzt. Dies erleichtert es, die Phasenmultiplexer/interpolatoren in der Nähe des CGMs zu halten und minimiert das Leiten zu den Phasenmultiplexern. Dies erleichtert wiederum das Anpassen an den Laufzeitunterschied zwischen den zu jedem Phasenmultiplexer laufenden Phasen.

Die meisten Elemente der Taktwiedergewinnungsschleife laufen bei einer ankommenden Datenrate von im Mittel 30 MHz für 100 BT. Dies führt zu einem wesentlich geringeren Leistungsverbrauch als bei den Schaltungen des Standes der Technik. Die Integralsteuerfilter-Architektur ist einfach und ermöglicht das Verfolgen des Takts der entfernten Station in Zeiträumen mit einer geringen Übergangsdichte. Ein Phaseninterpolator ermöglicht das Zerlegen eines gegebenen Phasenschritts in acht gleiche Phasenschritte. Dies erhöht die Phasenauflösung der Schaltungsanordnung.

Die Digitalfilterarchitektur ist einfach (wenig Gatter) und verleiht der Schleifendynamik dadurch eine hohe Flexibilität, daß sie das Ändern der Dämpfung der proportional-Integral-Steuerung während des Betriebs ermöglicht. Dies hat den Vorteil, daß die Schleifenverstärkung für einen schnellen Takt optimiert und dann während des Verfolgens für eine optimale Zitterzurückweisung geändert werden kann.

Mehrkanal-Taktwiedergewinnungs-Schaltungsanordnung, die für jeden Kanal aus einem von einem Knoten eines lokalen Netzes an diesen Kanal gelieferten ankommenden Datenstrom (RX\_p, RX\_M) ein Taktsignal wiedergewinnt, **dadurch gekennzeichnet**, daß  
5 ein einzelnes Taktgeneratormodul (CGM) (200) und N Phasenmultiplexer (142), einen für jeden Kanal, zum Auswählen einer von M Phasen ( $\phi_1, \dots, \phi_M$ ) eines vom CGM (200) an jeden Kanal gelieferten Taktsignals-(RXC) vorgesehen sind,  
10 jeder Kanal einen Phaseninterpolator (138) umfaßt, der eine Anzahl gleichmäßig beabstandeter Verzögerungsschritte zwischen den groben Phasenschritten des Phasenmultiplexers (142) in der Weise erzeugt, daß jedes Phasenmultiplexer-Ausgangssignal in Abhängigkeit von einem Aufpump/Abpump-Impulsstrom von seinem entsprechenden Taktwiedergewinnungssignal vorgerückt oder verzögert wird, und  
der Phaseninterpolator (138) und der Phasenmultiplexer (142) für jeden Kanal von mehreren Taktwiedergewinnungsmodulen (CRM) (102, 104), wovon jedes eine andere Datenrate besitzt, gemeinsam genutzt werden.

Hierzu 4 Seite(n) Zeichnungen



**FIG. 1**

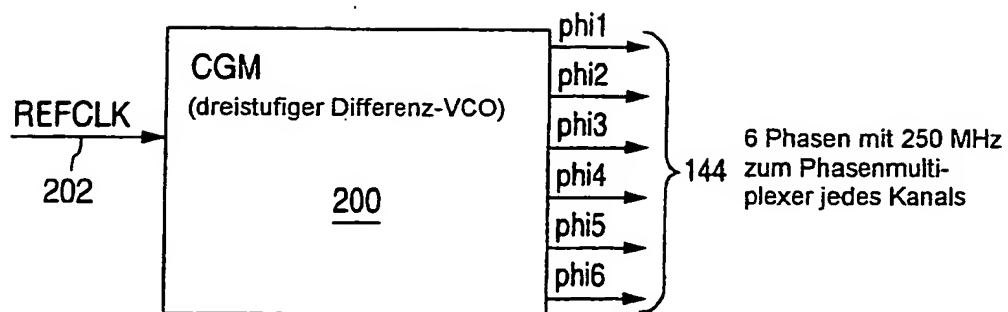


FIG. 2

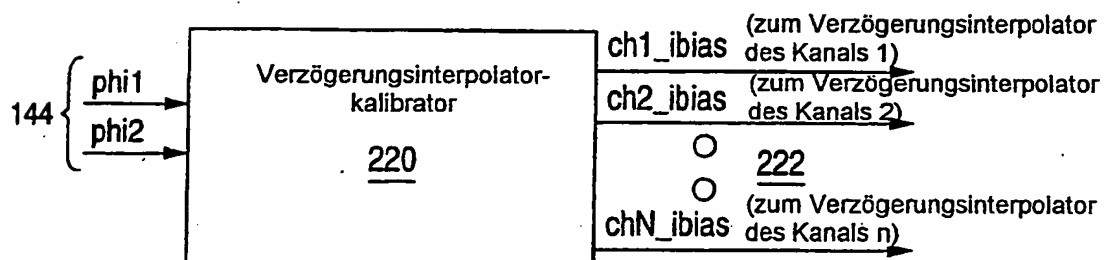


FIG. 3



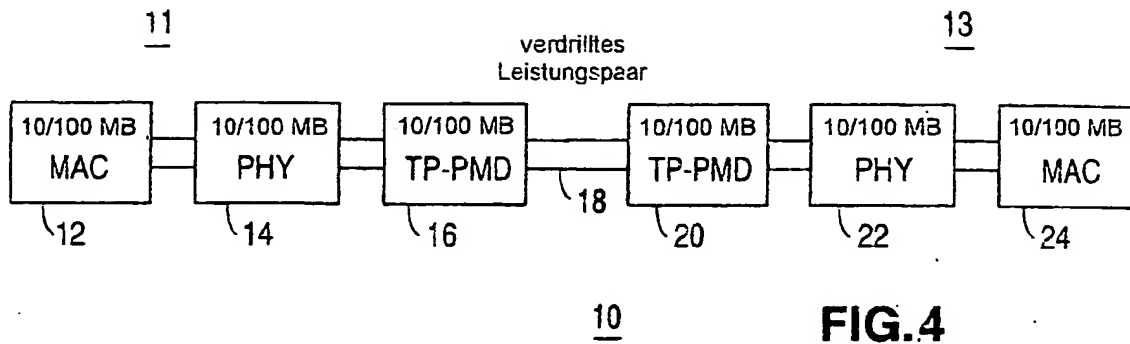


FIG.4

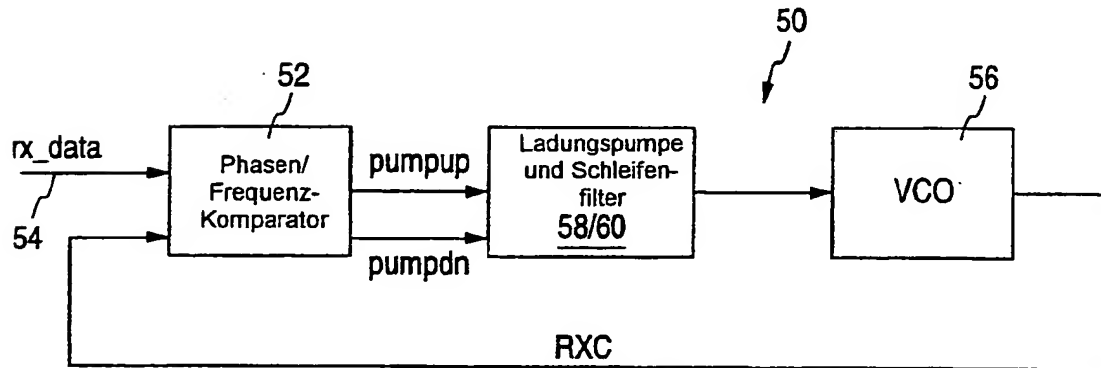


FIG.5

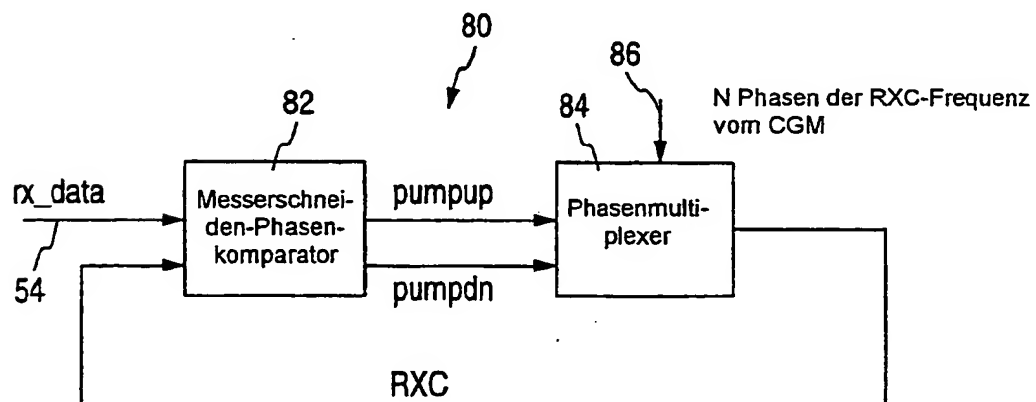
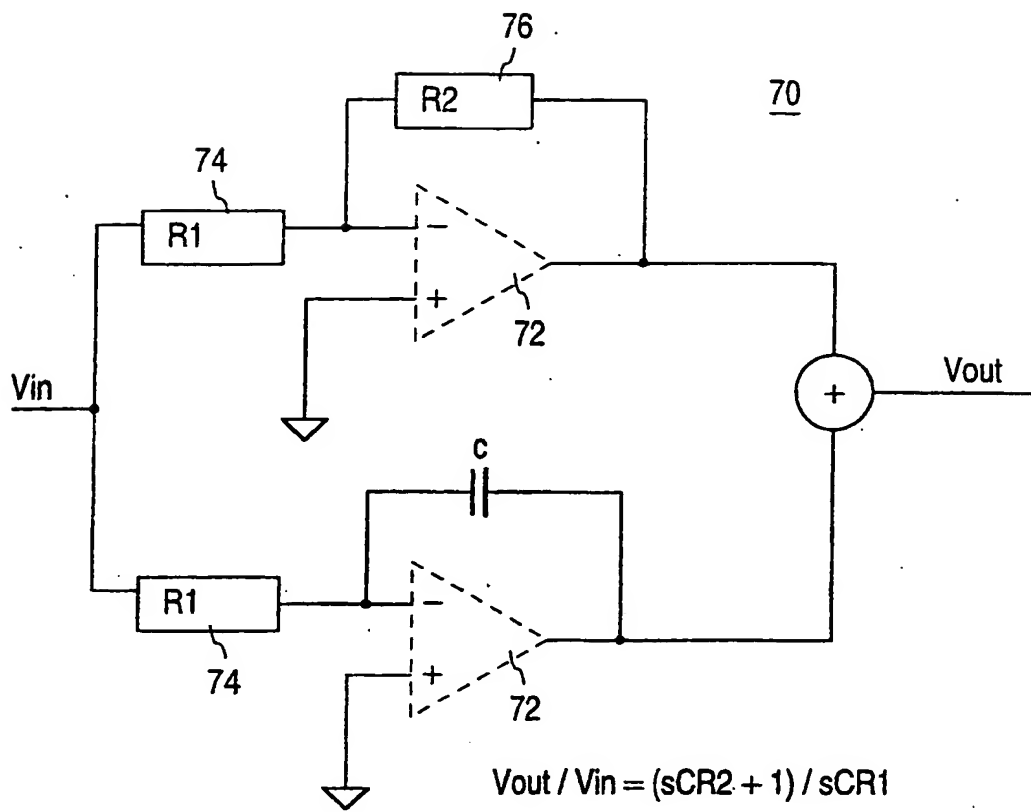


FIG.7



Pol bei null (idealer Integrator)  
Nullstelle bei  $1 / (CR2)$

$$\text{atten}_p = R1 / R2$$

(Dämpfung der Proportionalsteuerung)

$$\text{atten}_i = CR1$$

(Dämpfung des Phasenfehlers beeinflusst den Integratorpegel)

$$\text{integrator\_depth} = C$$

**FIG. 6**